

INFORMATION-PROCESSING SYSTEM

Publication number: JP9128106 (A)

Publication date: 1997-05-16

Inventor(s): MATSUSHIMA SHINJI; KONO SEIICHI; NAKANO MASATAKE; INUI TAKASHI

Applicant(s): IBM

Classification:

- International: G06F1/04; G06F1/32; G06F1/04; G06F1/32; (IPC1-7): G06F1/32; G06F1/04

- European: G06F1/32P6

Application number: JP19950278904 19951026

Priority number(s): JP19950278904 19951026

Also published as:

JP2974950 (B2)

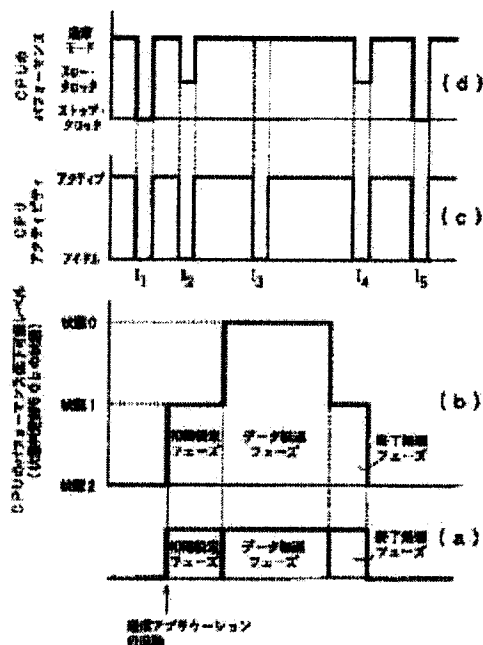
US6000035 (A)

KR100229575 (B1)

Abstract of JP 9128106 (A)

PROBLEM TO BE SOLVED: To provide a superior information processing system which is a type having a power management function for reducing the power consumption by adequately lowering or stopping the operating frequency of a CPU.

SOLUTION: The CPU has a normal mode, a power saving mode which is lower in power consumption than the normal mode, and a stop mode where the operation is completely stopped. Then the system has ≥ 1 peripheral equipment and a bus for communicating with the CPU and further has a communication port which is physically connected to other independent equipments and transfers data and a bus cycle detecting means which monitors bus cycles on the bus. In response to the detection of a bus cycle for assessing the communication port, a state decision means determines the operation mode of the CPU. Once the state decision means determines the power-saving mode, a control signal for placing the CPU in the power-saving mode is sent to the CPU. Further, a control signal for stopping the CPU is sent once the stop mode is determined.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-128106

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 1/32			G 0 6 F 1/00	3 3 2 Z
1/04	3 0 1		1/04	3 0 1 C

審査請求 未請求 請求項の数22 OL (全 22 頁)

(21)出願番号 特願平7-278904

(22)出願日 平成7年(1995)10月28日

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 松 島 慎 治

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(74)代理人 弁理士 合田 潔 (外2名)

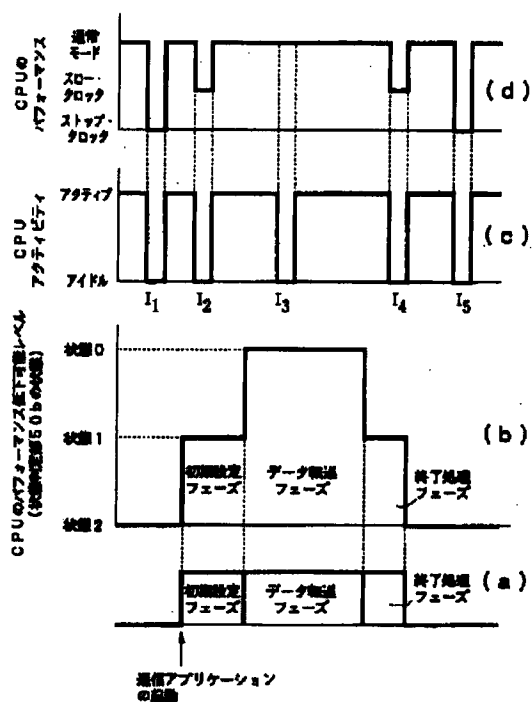
最終頁に続く

(54)【発明の名称】 情報処理システム

(57)【要約】 (修正有)

【課題】 通信ポートを介して他の独立した機器との間でデータ転送を行っている間であっても、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、情報処理システムを提供する。

【解決手段】 (a) 通常モード、節電モード、停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) CPUと周辺機器との間で通信するためのバスと、(d) 他の機器と接続し且つデータ転送を行うための通信ポートと、(e) バス・サイクルをモニタするためのバス・サイクル検出手段と、(f) バス・サイクルを検出したことに応答して、CPUの動作モードを決定するための状態判定手段と、(g) 前記手段が節電モードである旨を決定したことに応じてCPUを節電モードにするための制御信号を送る信号発生手段と、(h) 状態判定手段が停止モードである旨を決定したことに応じてCPUの動作を停止させるためのCPU動作停止手段と、を含むことを特徴とする。



【特許請求の範囲】

【請求項1】(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(f) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUの動作モードを決定するための状態判定手段と、(g) 前記状態判定手段が節電モードである旨を決定したことに応じて前記CPUを節電モードにするための制御信号を前記CPUに送る信号発生手段と、(h) 前記状態判定手段が停止モードである旨を決定したことに応じて前記CPUの動作を完全に停止させるためのCPU動作停止手段と、を含むことを特徴とする情報処理システム

【請求項2】前記状態判定手段は、通常モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項3】前記状態判定手段は、節電モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項4】前記状態判定手段は、節電モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが発生したことに応答して、通常モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項5】前記状態判定手段は、停止モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが発生したことに応答して、節電モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項6】(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記CPUの動作状態をモニタするためのCPUモニタ手段と、(f) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(g) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUを節電モード又は停止モードのいずれまでモード遷移させることが可能かを決定するための状

態判定手段と、(h) 前記CPUを節電モードにするための制御信号を前記CPUに送るための信号発生手段と、(i) 前記CPUを停止モードにするためのCPU動作停止手段と、(j) 前記CPUモニタ手段によるモニタ結果及び前記状態判定手段による判定結果の双方に応じて、前記信号発生手段又は前記CPU動作停止手段のいずれかを活性化させる節電制御手段と、を含むことを特徴とする情報処理システム

【請求項7】前記状態判定手段は、通常モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードへの遷移が可能である旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項8】前記状態判定手段は、節電モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードへの遷移が可能である旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項9】前記状態判定手段は、節電モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが発生したことに応答して、節電モードを禁止して通常モードに戻るべき旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項10】前記状態判定手段は、停止モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが発生したことに応答して、停止モードを禁止して節電モードに戻るべき旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項11】前記状態判定手段が節電モードへの遷移を許可している期間に、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出したことに応答して、前記節電制御手段は前記信号発生手段を活性化させることを特徴とする請求項6又は請求項7に記載の情報処理システム

【請求項12】前記状態判定手段が停止モードへの遷移を許可している期間に、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出したことに応答して、前記節電制御手段は前記CPU動作停止手段を活性化させることを特徴とする請求項6又は請求項8に記載の情報処理システム

【請求項13】前記状態判定手段が節電モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出しても、前記節電制御手段は前記信号発生手段を活性化させないことを特徴とする請求項6又は請求項9に記載の情報処理システム

【請求項14】前記状態判定手段が停止モードへの遷移

を禁止している期間は、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出しても、前記節電制御手段は前記前記CPU動作停止手段を活動化させないことを特徴とする請求項6又は請求項10に記載の情報処理システム

【請求項15】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送用のデータ・ポートとしてI/Oポート3F8h番地(COM1)、2F8h番地(COM2)、3E8h番地(COM3)、2E8h番地(COM4)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項2又は請求項4のいずれかに記載の情報処理システム

【請求項16】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送用のデータ・ポートとしてI/Oポート3BCh番地(LPT1)、378h番地(LPT2)、278h番地(LPT3)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項2又は請求項4のいずれかに記載の情報処理システム

【請求項17】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3F9h番地乃至3FFh番地(COM1)、2F9h番地乃至2FFh番地(COM2)、3E9h番地乃至3EFh番地(COM3)、2F9h番地乃至2EFh番地(COM4)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項3又は請求項5のいずれかに記載の情報処理システム

【請求項18】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3BDh番地乃至3BFh番地(LPT1)、379h番地乃至37Fh番地(LPT2)、279h番地乃至27Fh番地(LPT3)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項3又は請求項5のいずれかに記載の情報処理システム

【請求項19】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送用のデータ・ポートとしてI/Oポート3F8h番地(COM1)、2F8h番地(COM2)、3E8h番地(COM3)、2E8h番地(COM4)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項7又は請求項9のいずれかに記載の情報処理システム

【請求項20】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送用のデータ・ポートとしてI/Oポート3BCh番地(LPT1)、378h番地(LPT2)、278h番地(LPT3)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項7又は請求項9のいずれかに記載の情報処理システム

【請求項21】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3F9h番地乃至3FFh番地(COM1)、2F9h番地乃至2FFh番地(COM2)、3E9h番地乃至3EFh番地(COM3)、2F9h番地乃至2EFh番地(COM4)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項8又は請求項10のいずれかに記載の情報処理システム

【請求項22】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3BDh番地乃至3BFh番地(LPT1)、379h番地乃至37Fh番地(LPT2)、279h番地乃至27Fh番地(LPT3)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項8又は請求項10のいずれかに記載の情報処理システム

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナル・コンピュータ(PC)を始めとする情報処理システムに係り、特に、システム内におけるデータ処理の中核を担うプロセッサ(いわゆるCPU: Central Processing Unit)の動作周波数を適宜低下若しくは停止させることによって省電力化する節電機能を有するタイプの情報処理システムに関する。更に詳しくは、本発明は、節電効果とシステムの保全という双方の要求を満たしつつ、他の独立した機器と通信している期間(又は通信アプリケーションの起動中)であっても、CPUの動作周波数を低下若しくは停止させて省電力化を図る情報処理システムに関する。

【0002】

【従来の技術】昨今の技術革新に伴い、デスクトップ型、ノートブック型など各種パーソナル・コンピュータ(以下、「PC」又は「システム」ともいう)が開発され市販されている。このうち、ノートブック型のコンピュータは、屋外での携帯的・可搬的な使用を考量して、小型且つ軽量に設計・製作されたものである。

【0003】パーソナル・コンピュータのパワー・マネジメント: ノートブック型PCの1つの特徴は、内蔵したバッテリーでも駆動できる「バッテリー駆動型」である点である。これは、商用電源が届かない場所での使用の便宜を図ったためである。ノートブックPCが内蔵するバッテリーは、一般には、Ni-Cd、NiMH、Li-Ionなどの充電式のバッテリー・セル(「2次電池」ともいう)を複数個接続してパッケージ化してなる「バッテリー・パック」の形態を採っている。このようなバッテリー・パックは、充電により再利用可能ではあるが、1回当たりの充電容量はシステムのオペレーション時間に換

算してせいぜい2〜3時間程度に過ぎない。このため、バッテリーの持続時間を少しでも長くするべく、節電のための種々の工夫が凝らされている。節電機能を積極的に導入している点も、ノートブックPCの特徴の1つと言える。

【0004】また、最近では、商用電源によって無尽蔵に給電可能なデスクトップ型PCに対しても、エコロジ的な観点から、省電力化の要求が高まってきている。米環境保護庁(EPA)は、1993年6月に、"Energy Star Computer Program"と呼ばれる自主規制を発表し、動作待ち状態での省電力が一定基準以下(駆動電力が30W以下、又はCPUフル稼働時の30%以下)になることを要求している。このため、各コンピュータ・メーカーは、競ってこの規制案に沿った製品の研究・開発を進めるようになってきた。例えば日本アイ・ビー・エム(株)は、節電機能を備えたデスクトップ型PCを既に市販している(例えばPS/55E(通称"GreenPC")やPC 750、Aptiva("Aptiva"は米IBM社の商標)シリーズなど)。

【0005】PCの節電化は、例えばシステム内の各電気回路の駆動電力自体を低減させることによって実現される。また、動作状態(アクティビティ)の低下に応じてシステム内の各電気回路(若しくは周辺機器)への電力供給を適宜低下若しくは遮断する、ということによっても実現される。後者のような節電機能のことを、特に「パワー・マネージメント(Power Management)」と呼ぶこともある。

【0006】PCのパワー・マネージメントの形態としては、LCD(液晶表示ディスプレイ)及びそのバックライト、あるいはハード・ディスク・ドライブ(HDD)の回転モータなどのように、システムの総消費電力に大きなウェイトを占めるデバイス類への電力供給を遮断する、という『LCDオフ』や『HDDオフ』などが挙げられよう。また、他の例として、CPU(Central Processing Unit)の動作周波数を低下又は完全停止させる『CPUスロー・クロック/ストップ・クロック』や、タスク再開(レジューム)に必要なデータをメイン・メモリにセーブした後にメイン・メモリ以外の殆ど全ての電気回路への給電を停止する『サスペンド(Suspend)』などが挙げられよう。

【0007】CPUのパワー・マネージメント機能：CPUチップは、周知の通り、コンピュータ・システムにおける演算処理の中核をなすユニットである。最近では、配線幅の縮小化などの半導体製造技術の向上に伴って、CPUの動作周波数は益々高速化している。例えば、米Intel社が市販する"Pentium"や、米IBM社、米Motorola社、及び米Apple社が共同開発した"PowerPC"("PowerPC"は米IBM社の商標)のように、100MHzを越える動

作周波数で駆動可能なCPUチップも世に登場している。CPUの動作周波数とその性能とは密接な関係にある。何故ならば、CPUの動作が高速化すれば、それだけ計算速度がアップするからである。高速なCPUは、特に大規模アプリケーションやグラフィックス処理などにおいて、優れた威力を発揮する。

【0008】その反面、CPUの高速化は幾つかの弊害を伴う。弊害の1つは、CPUの消費電力の増大や発熱の問題である。何故ならば、単位時間当たりにトランジスタ・ゲート(すなわち抵抗体)を通過する電流量の増大に応じて、消費電力や発熱量も増加するからである。CPUの消費電力は、理論上は動作周波数に正比例すると言われており、現在、システムの総消費電力に占める割合は無視できない程度に達してきている。

【0009】前述の「CPUスロー・クロック/ストップ・クロック」などのCPUのパワー・マネージメント機能は、このような状況に着目して生み出されたと言える。「スロー・クロック」や「ストップ・クロック」は、CPUが動作待ち状態(すなわちアイドル状態。例えば、ユーザからのキー/マウス入力が所定時間以上なかった状態)であると判断されたとき、その動作周波数を低下又は完全停止させる(換言すれば、CPUのパフォーマンスを低下させる)ことによって消費電力を低減させる、というものである。但し、ターン・アラウンド・タイム(すなわち要求から肯定応答までの所要時間)やスルー・プット(単位時間当たりの仕事量)を劣化させない程度までしか、CPUのパフォーマンスを落とすことができないのは言うまでもないであろう。以下、CPUの「スロー・クロック」及び「ストップ・クロック」の各機能について説明しておく。

【0010】スロー・クロック：CPUのスロー・クロック機能は、発振器からの入力クロック信号の周波数を外部的に切り換えてやることによって実現可能である。あるいは、CPUチップへの入力クロックの周波数を一定に保ったまま、CPUチップ内部で動作周波数を切り換えてやることによって実現可能である。高速CPUの場合、一般には、比較的低速なクロック信号(例えば66MHz)を入力しておき、内蔵したPLL(Phase Lock Loop)回路によって内部的に動作クロックを加速するようになっている(例えば2倍速の133MHz)。このようなタイプのCPUの場合、PLL回路の特性(例えば発振回路の固有振動数の問題や、位相ロックが機能するまでに要する遅延時間(数ms程度)の問題)などの理由により、CPUチップへの入力クロックの周波数そのものを大幅に切り換えることは難しい。このため、PLL回路だけでなく、内部的に動作クロックを切り換えることができるスロー・クロック機能(パワー・マネージメント機能)をも内蔵する、という設計手法も採られている。この場合、内蔵PLL回路によって入力クロックを一旦加速しておきながら、内蔵ス

ロー・クロック機能によってCPUのパフォーマンスをチップ内部で自律的に落とす、という仕組みになっている。

【0011】図8には、パワー・マネージメント機能を内蔵したCPUの内部構成を概略的に示している。同図において、CPUチップ11は、演算制御などの処理を実際に行う部分である機能ユニット11aと、機能ユニット11aに同期駆動のための動作クロック信号を与えるPLL回路11bと、機能ユニット11aのパフォーマンスを制御するためのパフォーマンス制御回路11c

とを含み、チップ11外部の各周辺機器（図8には示さない）とはプロセッサ・バス12を介して双方向に連絡している。

【0012】PLL回路は、既に周知のように、入力したクロック信号の周波数を通倍する機能を持っている。この例のPLL回路11bは、発振器（OSC）40から入力した比較的低速なクロック信号（例えば66MHz）を倍速化（例えば133MHz）して、動作周波数として機能ユニット11aに供給している。

【0013】機能ユニット11aは、演算ユニット部分（図8中、二重斜線部分）と、内部キャッシュ／制御ユニット部分とに分けることができる。前者の演算ユニットは、システムのアクティビティに応じてそのパフォーマンスをある程度まで低下させてもよい部分でもある

（但し、パフォーマンス低下可能な程度は、例えば、ターン・アラウンド・タイムやスルー・プットを劣化させない程度である）。一方、内部キャッシュ／制御ユニットは、キャッシュ・スヌープ、割り込み要求（INTR／NMI／SMI）、バス12のホールド要求（HOLD）などの、不定期的に発生するタイム・クリティカルな外部事象に応答しなければならない部分である。後者は、システムのアクティビティの如何に拘らず、安易にパフォーマンスを落とすことかできない部分でもある。

【0014】パフォーマンス制御回路11cは、外部から入力するコントロール信号STPCLK#に応じて機能ユニット11aのパフォーマンスを制御する回路である。より具体的には、回路11cはSTPCLK#がアクティブ（すなわちロー状態）になっている間、機能ユニット11c中の演算ユニット部分（前述：図8中の二重斜線部分）への動作周波数を遮断できるようになっている。すなわち、CPUチップ11は、局所的にパフォーマンスを低下することができる構造になっている訳である。また、この応用例として、パフォーマンス制御回路11cに入力するSTPCLK#を間欠的にアクティブ（すなわちロー状態）に切り換えることによって、PLL回路11bからの入力動作クロックを間引いてやる、という手法もある。例えばSTPCLK#を所定周期でアクティブ（すなわちロー状態）にして、n回に1回の割合で動作クロックを間引けば、演算ユニット部分のパフォーマンス及び消費電力を約 $(n-1)/n$ 倍に

低減させたことになる。STPCLK#を間欠動作させる機能は、一般には、「クロック・スロットリング」又は「Frequency Emulation」とも呼ばれている。

【0015】スロー・クロック・モード下では、発振器40からの入力クロックやPLL回路11bの動作自体は、通常の高速稼働時とは全く変動していない。したがって、スロー・クロック・モードから通常モードへは、比較的瞬時に復帰することが可能である。この点は、本発明の要旨（後述）を理解するために、充分留意されたい。

【0016】因に、米Intel社のCPUチップ“80486”の後継チップである、SLエンハンスト486、DX2、DX4、Pentiumなどは、図8に示すような節電機能を備えている。また、これらチップは、プロセッサ・バス12中のコントロール信号の1つとしてSTPCLK#を含んでいる。

【0017】ストップ・クロック：一方、ストップ・クロック機能は、発振器40からの入力クロックを完全に遮断して、機能ユニット11aの全ての動作を停止させるものである。動作クロックの完全停止は、CPUチップ11を記憶保持動作が不要なフル・スタティック構成に設計することによって実現可能である。ストップ・クロック・モード下では、CPUの消費電力は、せいぜい数百mW程度に過ぎない。

【0018】但し、ストップ・クロック・モードではPLL回路11bも完全に停止しているため、再び高速な通常モードに復帰させるためには、PLL回路11bの動作の安定（位相のロック）などのために、約1msec程度の遅延時間を要する。この点は、本発明の要旨（後述）を理解するために、充分留意されたい。

【0019】

【発明が解決しようとする課題】CPUのスロー・クロック／ストップ・クロックを始めとするパワー・マネージメント・オペレーションは、一般には、システムの使用状況を監視するCPUチップ外のハードウェアと、CPU自身が実行するソフトウェアとの協働的作用によって実現される。

【0020】パワー・マネージメントを実現するためのソフトウェアの代表例は、米Intel社と米Microsoft社が共同で提案した“APM”（Advanced Power management）である。APMは、APMに対応したOS（オペレーティング・システム）環境下で実効的となる。APMに対応したOS環境とは、すなわち、1：節電の制御対象であるハードウェアと、2：パワー・マネージメント動作に必要なハードウェア動作を現実に行うBIOS（“APM BIOS”ともいう）と、3：システムの動作状態（アクティビティ）の低下に応じてAPM BIOSをコールできるOSと、4：APMに対応したアプリケーションとで構成されるシステムのこと

である。ここで、1:ハードウェアとは、例えばスロー・クロック/ストップ・クロック機能を具備したCPUチップである。また、3:APM対応OSとは、例えばPC DOS J6.1/V以降のバージョン、OS/2 J2.1以降のバージョン("OS/2"は米IBM社の商標)、Windows J3.1以降のバージョンなどが挙げられる。APM対応OSは、一般には、APM BIOSをコールするための"APMドライバ"を含んでいる。また、4:APM対応アプリケーションとは、API(アプリケーション・プログラム・インターフェース)を介してAPMドライバに自分自身を登録することによって、パワー・マネージメント動作する旨の問合せを受け且つその可否を肯定応答できるアプリケーション・プログラムのことである。

【0021】APMなどのようにOS内に常駐するソフトウェアを用いれば、CPUのパワー・マネージメント(例えばスロー・クロックやストップ・クロック)は、以下のような手順で実現されることになる。すなわち、

(1)スケジューラ(スケジューラは、OS内のモジュールの1つ)の待ち行列(queue)中に実行すべき有効なタスクが存在しない(すなわちタスク発生を待つしかない)という事態の発生によって、CPUがアイドル状態であることを検出する。

(2)CPUのアイドル状態の検出に反応して、APMドライバはAPM BIOSをコールする。このとき、APMドライバは、APM対応アプリケーションとの間で、パワー・マネージメント動作する旨の問合せ/肯定応答という通信を行ってもよい。

(3)コールされたAPM BIOSは、現実のハードウェア操作を行って、システムをパワー・マネージメント状態に遷移させる。(例えば、STPCLK#を間欠動作(スロットリング)させてスロー・クロック状態にしたり、CPUチップ11への入力クロックを遮断してストップ・クロック状態にする。)

【0022】OSは自身の持つスケジューラによって「これから動作待ち状態になる」という情報を予め検知できるので、APMを用いた手法によれば効率的にパワー・マネージメント動作を実行することができる、という訳である。

【0023】しかしながら、OSは自システム内しか制御することができない。例えば通信ポート(シリアル・ポートやパラレル・ポート)などを介して物理的に接続され且つ通信中の他の独立した機器(他のPC)の動作状態をOSは覗き見ることはできない。すなわち、OSは、自システムからデータの送信を行うというタスクを管理することはできるが、独立した他の機器がデータ送信を開始するという事象を検出することはできないのである。データ転送は比較的高速に行われるので、CPUはフル稼働していなければ転送データを取りこぼしてしまう。例えば、他の機器からデータ送信を開始したとき

にCPUがスロー・クロック状態となっていれば、データの受信処理に遅滞を生じ、データを喪失してしまう。また、他の機器からデータ送信を開始したときにCPUがストップ・クロック状態であれば、データ受信に反応してCPUを通常モードに復帰させようとしても、動作が安定化するまでに時間を要し(前述)、その間の受信データを喪失してしまう。略言すれば、自システム内のみを考慮に入れ、OS内の待ち行列が空だからといって勝手にパワー・マネージメント動作を敢行していたのでは、通信中のデータを失ってしまい、ひいてはシステムの保全性を著しく損なう結果になってしまうのである。

【0024】現在市販されている殆どのPCは、節電効果よりもシステムの保全性の方を重視して、他の独立した機器(例えば他のPC)との間でデータ転送を行っている期間は、CPUのパフォーマンス低下を全く禁止するように設計されている。あるいは、通信アプリケーションの起動中は、CPUのパフォーマンスを低下させないように設計されている(通信アプリケーションはAPMドライバからパワー・マネージメント要求を受けても肯定応答せず、この結果、APM BIOSはコールされない)。このため、CPUチップ自体は高機能なパワー・マネージメント機能(例えば図8参照)をせっかく備えていても、システムがこの機能を活用できるのは、CPUが完全に(すなわち比較的長い時間)動作待ち状態に陥ったときだけ、というのが実情となっていた。CPUが完全に動作待ち状態にある期間とは、せいぜい、

(1)キー入力が所定時間以上なかったとき(例えば特公平06-95303号公報の第4パラグラフ)や、

(2)DMA転送時(何故なら、DMA転送時はCPUは自己のローカル・バスの制御権を放棄する)(例えば特開平06-266462号公報)など、ごく限られた期間でしかない。このような限られた期間中のみCPUをスロー・クロック又はストップ・クロックさせても、期待できるパワー・マネージメント効果としては物足りない。願わくば、CPUのパフォーマンスを低減できる期間を更に増やしたいところである。例えば、他の独立した機器との間で通信ポートを介したデータ転送を行っている間であっても、適宜CPUのパフォーマンスを低下させ、パワー・マネージメント効果を向上させた

い。

【0025】本発明の目的は、データ処理の中核を担うプロセッサ(CPU)の動作周波数を適宜低下若しくは停止させることによって消費電力を低減させるパワー・マネージメント機能を有するタイプの、優れた情報処理システムを提供することにある。

【0026】本発明の更なる目的は、パワー・マネージメント効果とシステムの保全性という双方の要求を満たしつつ、CPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0027】本発明の更なる目的は、CPUの動作状態をより的確に把握することによって、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0028】本発明の更なる目的は、通信ポート（シリアル・ポート又はパラレル・ポート）を介して他の独立した機器（例えば他のPC）との間でデータ転送を行っている間（あるいは通信アプリケーションの起動中）であつても、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0029】

【課題を解決するための手段】

第1の側面：本発明は、上記課題を参酌してなされたものであり、その第1の側面は、(a)通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c)前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(f) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUの動作モードを決定するための状態判定手段と、(g) 前記状態判定手段が節電モードである旨を決定したことに応じて前記CPUを節電モードにするための制御信号を前記CPUに送る信号発生手段と、(h) 前記状態判定手段が停止モードである旨を決定したことに応じて前記CPUの動作を完全に停止させるためのCPU動作停止手段と、を含むことを特徴とする情報処理システムである。

【0030】第1の側面に係る情報処理システムにおいて、バス・サイクル検出手段、状態判定手段、及び信号発生手段は、例えば後述のパワー・マネージメントLSI (PM_LSI) 50という1チップLSIによって実現される。信号発生手段が発する制御信号は、例えばCPUチップの持つ制御ピン"STPCLK#"に入力されてもよい。また、CPU動作停止手段は、例えばCPUへの入力クロックを遮断できるハードウェア（例えば後述のクロック制御回路60）であつてもよい。また、CPUの節電モードはSTPCLK#を間欠駆動させる「スロー・クロック」、停止モードは動作クロックを完全停止させた「ストップ・クロック」であつてもよい。

【0031】前記通信ポートとは、例えばシリアル・ポートやパラレル・ポートなどのことである。

【0032】前記状態判定手段は、通常モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えばシリアル転送のデ

ータ・ポートには、3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のうちのいずれか1つ又は複数が割当てられる。また、パラレル転送のデータ・ポートには3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のうちのいずれか1つ又は複数が割当てられている。）にアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードである旨を決定するようにしてもよい。

【0033】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードである旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0034】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えば3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のいずれか、あるいは3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のいずれか）にアクセスするバス・サイクルが発生したことに応答して、通常モードである旨を決定するようにしてもよい。

【0035】また、前記状態判定手段は、停止モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが発生したことに応答して、節電モードである旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0036】第2の側面：また、本発明の第2の側面は、(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記CPUの動作状態をモニタするためのCPUモニタ手段と、(f) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(g) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUを節電モード又は停止モードのいずれまでモード遷移させることが可能かを決定するための状態判定手段と、(h) 前記CPUを節電モードにするための制御信号を前記CPUに送るための信号発生手段と、(i) 前記CPUを停止モードにするためのCPU動作停止手段と、(j) 前記CPUモニタ手段によるモニタ結果及び前記状態判定手段による判定結果の双方に応じて、前記信号発生手段又は前記CPU動作停止手段のいずれかを活性化させる節電制御手段と、を含むことを特徴とする情報処理システムである。

【0037】第2の側面に係る情報処理システムにおいて、バス・サイクル検出手段、状態判定手段、及び信号発生手段は、例えば後述のパワー・マネージメントLSI (PM_LSI) 50という1チップLSIによって実現される。信号発生手段が発する制御信号は、例えばCPUチップの持つ制御ピン"STPCLK#"に入力されてもよい。また、CPU動作停止手段は、例えばCPUへの入力クロックを遮断できるハードウェア（例えば後述のクロック制御回路60）であってもよい。また、CPUの節電モードはSTPCLK#を間欠駆動させてなる「スロー・クロック」、停止モードは動作クロックを完全停止させた「ストップ・クロック」であってもよい。

【0038】前記CPUモニタ手段のオペレーションは、例えばAPMドライバがスケジューラの待ち行列を参照する、というソフトウェア的な手法によっても実現できよう。

【0039】前記節電制御手段のオペレーションは、APMドライバが、スケジューラの待ち行列中に有効なタスクがない（すなわち空の）状態であることを検出したときに、状態判定手段による判定結果を参照して、適宜信号発生手段又はCPU動作停止手段のいずれかを活性化させる（より具体的にはAPM BIOSをコールする）、というソフトウェア的な手法によっても実現できよう。

【0040】前記通信ポートとは、例えばシリアル・ポートやパラレル・ポートなどのことである。

【0041】前記状態判定手段は、通常モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割

当てられたポート・アドレス（例えば3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のいずれか、あるいは3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のいずれか）にアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードへの遷移が可能である旨を決定するようにしてもよい。

【0042】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードへの遷移が可能である旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0043】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えば3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のいずれか、あるいは3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のいずれか）にアクセスするバス・サイクルが発生したことに応答して、節電モードを禁止して通常モードに戻るべき旨を決定するようにしてもよい。

【0044】また、前記状態判定手段は、停止モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが発生したことに応答して、停止モードを禁止して節電モードに戻るべき旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0045】また、前記状態判定手段が節電モードへの遷移を許可している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出したことに応答して、前記節電制御手段は前記信号発生手段を活動化させるようにしてもよい。

【0046】また、前記状態判定手段が停止モードへの遷移を許可している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出したことに応答して、前記節電制御手段は、前記CPU動作停止手段を活動化させるようにしてもよい。

【0047】また、前記状態判定手段が節電モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出しても、前記節電制御手段は、前記信号発生手段を活動化させないようにしてもよい。

【0048】また、前記状態判定手段が停止モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出しても、前記節電制御手段は、前記CPU動作停止手段を活動化させないようにしてもよい。

【0049】

【作用】通信ポート（例えばシリアル・ポートやパラレル・ポート）を介して行う他の機器とのデータ転送は、一般には、1：データ転送のための制御値（例えばポーレート、IRQレベル、FIFOなど）を予め設定したり通信ポートの状態を確認する「初期設定フェーズ」、2：実際にデータの交信を行う「データ転送フェーズ」、3：データ転送後に制御値（例えばIRQレベル）の解除を行ったり通信ポートの状態を確認する「終了処理フェーズ」、という3つのフェーズで構成される。データ転送フェーズでは、比較的高速で入出力されるデータを遅滞なく処理するためにCPUをフル稼働させる必要がある。他方、データ転送の前後の初期設定及び終了処理の各フェーズでは、CPUのアクティビティは低く（特に初期設定フェーズではデータ転送開始までの待ち時間を含んでいる）、そのパフォーマンスをある程度落とすことが可能である。

【0050】本発明の第1の側面によれば、通常モード下において、データ転送のためのデータ・ポートへのアクセスが第1の所定時間以上発生しなかったことに応答して、CPUを節電モードに遷移させるようになってい

間以上発生しないということは、現在他の独立した機器との間でデータ転送を行っておらず、CPUをフル稼働させる必要がないことを意味する。本発明の各側面によれば、CPUのパフォーマンスを適宜低下させてパワー・マネジメント効果を向上できるという訳である。因にIBM PC/AT互換機（“PC/AT”は米IBM社の商標）では、シリアル転送のためのデータ・ポートはI/Oポート3F8h番地（又は2F8h番地、3E8h番地、2E8h番地のいずれか）が割り当てられ、また、パラレル転送のためのデータ・ポートはI/Oポート3BC h番地、378 h番地、278 h番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0051】また、本発明の第1の側面によれば、節電モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、CPUを停止モードに遷移させるようになっている。また、第2の側面によれば、節電モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、CPUが停止モードに遷移することを許可する。この許可されている期間中にCPUがアイドル状態（例えば待ち行列が空の状態）であることが検出されると、節電制御手段はCPU動作停止手段を活動化し、CPUは速やかに停止モードに遷移する、という運びになっている。データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しないということは、現在他の独立した機器との間でデータ転送を行うための前処理すら全く行われていないか、又はその後処理が完全に終了していることを意味する。したがって、この期間は、不意にデータ転送が開始して、瞬時にCPUを立ち上げなければならない、という心配はない。本発明の各側面によれば、CPUの動作クロックを適宜完全停止させてパワー・マネジメント効果を向上できるという訳である。因にIBM PC/AT互換機では、シリアル転送のための制御値又は状態の格納場所としてI/Oポート3F9h番地乃至3FF番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかが割り当てられ、また、パラレル転送のための制御値又は状態の格納場所としてI/Oポート3BD h番地乃至3BF h番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0052】また、本発明の第1の側面によれば、節電モード下において、データ転送のためのデータ・ポートへのアクセスが発生したことに応答して、CPUを通常モードに復帰させるようになっている。また、第2の側面によれば、節電モード下において、データ転送のため

のデータ・ポートへのアクセスが発生したことに応答して、CPUが節電モードにすることを禁止する。これに伴って、節電制御手段は信号発生手段を非活動化し、CPUは速やかに通常モードに復帰する、という運びになっている。データ転送のためのデータ・ポートへのアクセスが発生したということは、他の独立した機器との間でデータ転送を開始し、CPUをフル稼働させる必要が生じたことを意味する。本発明の各側面によれば、データ転送が開始されるとともに、CPUを通常モードに戻してフル稼働させるようになっている。因にIBM PC/AT互換機では、シリアル転送のためのデータ・ポートはI/Oポート3F8h番地（又は2F8h番地、3E8h番地、2E8h番地のいずれか）が割り当てられ、また、パラレル転送のためのデータ・ポートはI/Oポート3BC h番地（又は378h番地、278h番地のいずれか）が割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0053】また、本発明の第1の側面によれば、停止モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが発生したことに応答して、CPUを節電モードに遷移させるようになっている。また、第2の側面によれば、停止モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが発生したことに応答して、CPUが停止モードにすることを禁止する。これに伴って、節電制御手段はCPU動作停止手段を非活動化し、CPUは速やかに節電モードに復帰する、という運びになっている。データ転送の制御値を設定又は解除するためのバス・サイクルが発生したということは、初期設定フェーズに突入し、データ転送の開始が予想されることを意味する。データ転送時にはCPUは通常モード下でフル稼働しなければならないが、停止モードから通常モードに戻るまでには遅延時間を要し、安定化するまでの間にデータを喪失してしまうことが懸念される。本発明の各側面によれば、CPUの停止モード下でデータ転送の開始が予想されると、予め節電モードまで戻しておき、瞬時に通常モードに復帰できるようにしているという訳である。因にIBM PC/AT互換機では、シリアル転送のための制御値又は状態の格納場所としてI/Oポート3F9h番地乃至3FF番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかが割り当てられ、また、パラレル転送のための制御値又は状態の格納場所としてI/Oポート3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0054】要するに本発明は、(1)フル稼働が必要なデータ転送フェーズに突入する前には必ず初期設定フ

ェーズを経るという点と、(2)初期設定フェーズ及び終了処理フェーズではCPUのパフォーマンス低下が可能である、という点に着目してなされたものである。すなわち、初期設定フェーズ及び終了処理フェーズであることが検出されると、CPUのパフォーマンスをある程度落とすことを許可するようになっている。また、転送のための制御レジスタへのアクセスが行われているなど、データ転送フェーズに突入することが予想される期間では、停止中のCPUを節電モードまで戻し、瞬時に通常モードに復帰可能な状態で待機させるようにしているのである。本発明は、バス・サイクル単位でCPUの低消費電力化を図っているとも言えよう。

【0055】したがって、本発明によれば、他の独立した機器（例えば他のPC）との間でデータ転送を行っている間（又は通信アプリケーションの起動中）であっても、適切なタイミングでCPUのパフォーマンスを落としてパワー・マネジメント効果を向上させることができる、優れた情報処理システムを提供することができるのである。

【0056】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0057】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を詳解する。

【0058】A. パーソナル・コンピュータ(PC)100のハードウェア構成

図1には、本発明の実施に供されるパーソナル・コンピュータ(PC)100のハードウェア構成を示している。以下、各部について説明する。

【0059】メイン・コントローラであるCPU11は、オペレーティング・システム(OS)の制御下で、各種プログラムを実行するようになっている。CPU11から伸びるプロセッサ・バス12は、ローカル・バス16及びシステム・バス22という2階層のバスを介して、各周辺機器（後述）と連絡している。ここで、CPU11は、図8に示したものと略同一構成であり、例えばIntel社が市販する"Pentium/1xxMHz"でよい。また、各バス12、16、及び22は、それぞれ、データ・バス、アドレス・バス、コントロール・バスなどを含む共通信号線路である。ローカル・バス16は、グラフィックスなどの特定の周辺機器を接続するための、比較的高速に動作するバスである。ローカル・バス16の一例は、米Intel社が提唱するPCI(peripheral Component Interconnect)バスである。また、システム・バス22は、FDDなどの比較的低速な周辺機器を接続するためのバスであり、その一例は、ISA(Industry Standard Architecture)バスである。

【0060】プロセッサ・バス12とローカル・バス1

6とは、ブリッジ回路（ホスト-PCIブリッジ）14によって連絡されている。本実施例のブリッジ回路14は、メイン・メモリ15へのアクセス動作を制御するためのメモリ・コントローラと、両バス12、16間の速度差を吸収するためのデータ・バッファを含んだ構成となっている。メイン・メモリ15は、CPU11が実行する各プログラム（OSやアプリケーション・プログラムなど）をロードしたり、CPU11が作業領域として用いたりするための書き込み可能なメモリ（RAM）である。メイン・メモリ15には、大容量を比較的安価で入手可能なダイナミックRAM（DRAM）が用いられ、例えば8MB程度の容量がシステム100に標準装備される。また、参照番号13で示すブロックは、外部キャッシュ（「Level 2（L2）-キャッシュ」ともいう）であり、CPU11の処理速度とメイン・メモリ15へのアクセス速度の差を吸収するために設けられている。L2-キャッシュ13は、DRAMよりも高速アクセス可能なスタティックRAM（SRAM）で構成され、その容量は例えば256KB程度である。

【0061】ローカル・バス16には、ビデオ・コントローラ17のような、比較的高速な動作が要求される周辺機器が接続される。ビデオ・コントローラ17は、CPU11からの描画命令を実際に処理するための周辺コントローラであり、処理した描画情報を画面バッファ（VRAM）18に一旦書き込むとともに、VRAM18から描画情報を読み出して表示手段としての液晶表示ディスプレイ（LCD）19に出力するようになっている。

【0062】ローカル・バス16とシステム・バス22とは、ブリッジ回路（PCI-ISAブリッジ）20によって連絡されている。本実施例のブリッジ回路20は、DMAコントローラ、割り込みコントローラ、プログラマブル・インターバル・タイマ（PIT）を含んだ構成となっている。ここで、DMA（Direct Memory Access）コントローラとは、CPU11の介在なしにメイン・メモリ15と周辺機器（例えばFDD27：後述）との間でデータ転送を行わせるための周辺コントローラである。また、割り込みコントローラとは、各周辺機器からのハードウェア割り込み（IRQ）を調停して、CPU11に通知するようになっている。また、PITとは、数種類のタイマ信号をシステム100内の各部に供給するための機器である。PITの発するタイマ信号は、例えば5msec間隔でOS/BIOS（後述）に与える周期的割り込み、15.2μsec間隔でロー/ハイ・レベルが切り換わるDRAMリフレッシュ用タイマ信号、オーディオ目的のためのトーン生成用信号などである。

【0063】ブリッジ回路20は、さらに、補助記憶装置としてのハード・ディスク・ドライブ（HDD）21を接続するためのインターフェース（例えばIDEイン

ターフェース。IDE（Integrated Drive Electronics）。IDEは、本来、ISAバスにHDDを直結するためのインターフェース規格）を含んでいる。

【0064】なお、上述した2つのブリッジ回路14及び20は、PCIで策定されており、一般には単一のチップセットの形態で提供されている。チップセットの一例は、米Intel社が市販する「Triton」である。

【0065】システム・バス22には、I/Oコントローラ23、フロッピー・ディスク・コントローラ（FDC）26、キーボード/マウス・コントローラ（KMC）28、オーディオ・コントローラ31、ROM34、パワー・マネージメントLSI50などの、比較的低速で動作する周辺機器が接続されている。

【0066】I/Oコントローラ23は、シリアル・ポート24やパラレル・ポート25などの通信ポートを介して行うデータ入出力を制御するための周辺コントローラである。24や25などの通信ポートは、他の独立した機器（例えば他のPC）と物理的に接続するためのコネクタを備えている。I/Oコントローラ23は、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御/状態レジスタを物理的に備えている。これらレジスタには、それぞれ固有のI/Oポート・アドレスが割当てられている。なお、シリアル・ポートの規格の一例はRS-232Cであり、パラレル・ポートの規格の一例はセントロニクスである。

【0067】FDC26は、フロッピー・ディスク・ドライブ（FDD）27を駆動制御するための専用コントローラである。

【0068】KMC28は、キーボード29からの入力マトリックスや、マウス30による指示座標値を処理するためのコントローラであり、29や30からの入力信号をOSの定義に合致したフォーマットに変換してバス22上に送り出すようになっている。

【0069】オーディオ・コントローラ31は、音声信号の入出力を処理するための周辺コントローラである。オーディオ・コントローラ31の1つの機能は、PITが生成した特定周波数信号に基づいてトーン信号を発生することである。オーディオ・コントローラ31の出力信号は、例えばアンプ32で増幅され、スピーカ33から音声出力される。

【0070】ROM34は、製造時に書き込みデータが決められてしまう不揮発性メモリであり、所定のコードを恒久的に格納するために用いられる。ROMが格納するコードには、システム100の始動時に行うテスト・プログラム（POST）や、システム100内の各ハードウェアの入出力を操作するためのプログラム（BIOS）が含まれる。

【0071】発振器（OSC）40は、CPU11などのような同期駆動型のチップに対して動作クロックを供

給するための機器である。なお、CPU11には、クロック制御回路60（後述）を介してクロック信号が入力されるようになっている。

【0072】パワー・マネジメントLSI（PM_LSI）50は、CPU11のパワー・マネジメント動作を好適に実現するために設けられた専用LSIである。より具体的には、ローカル・バス16上の動作内容をモニタ（「バス・スヌープ」ともいう）して、所定のタイミングで制御信号STPCLK#（前述）をCPU11に出力するようになっている。PM_LSI50は、例えばゲートアレイのようなセミカスタム設計によって製造することができる。該LSIチップ50は、本発明を実現するに当たって中心的な役割を果たすが、その詳細な構成及び動作特性はC項及びD項で後述する。

【0073】クロック制御回路60は、OSC40からCPU11に供給される入力クロックを適宜遮断するための回路である。〔従来の技術〕の項で述べたように、CPU11は制御信号STPCLK#を入力することによって、チップ11内の機能ユニットの動作を部分的に低下又は完全に停止させることができる。これに対して、クロック制御回路60は、PLL回路11aへの入力クロック自体を遮断して、CPU11を完全に停止させるためのものである。本実施例のクロック制御回路60は、APM BIOSによって活動化される。

【0074】なお、現在市販されている殆どのPCは、参照番号11乃至40に示すブロックと等価なハードウェア構成要素を備えている。また、PCを構成するためには、図1に示した以外にも多くの電気回路等が必要であるが、これらは当業者には周知であり、且つ本発明の要旨とは関連がないので、本明細書中では省略している。

【0075】B. PC100のソフトウェア構成

図2には、本発明の実施に供されるPC100上で実行可能なソフトウェアの構成を概略的に示している。

【0076】BIOS層

最下層のソフトウェアは、BIOS（Basic Input/Output System：基本入出力システム）である。BIOSは、システム100中の各ハードウェア（ビデオ・コントローラ17やキーボード29、HDD21、FDC26など）を制御するための基本動作命令を集めたプログラム群であり、上位のプログラム（オペレーティング・システムやアプリケーション：後述）からのコールを受けて、実際のハードウェア操作を行うようになっている。この他、BIOSは、システム100が起動した時に実行するブート・ストラップ・ルーチンや、バス16/22上に発生した割り込みを処理するためのルーチンも含んでいる。なお、本発明に係るパワー・マネジメント機能において実際にCPU11チップをハードウェア操作するためのAPM BIOS（前述）もこの層に存在する。

【0077】OS（オペレーティング・システム）層

OSは、システム100のハードウェア及びソフトウェアを総合的に管理するための基本ソフトウェアである。例えば、OS/2（“OS/2”は米IBM社の商標）や、Windows（“Windows”は米Microsoft社の商標）がこれに該当する。OSは、HDD21などの記憶装置に格納するファイルを管理するための「ファイル・マネージャ」、CPU11のタスク実行の順序や優先順位を管理するための「スケジューラ」、メモリ領域の割当てを管理するための「メモリ・マネージャ」などを含んでいる。また、ウィンドウ表示やマウス操作等の処理のための「ユーザ・インターフェース」（システム・コールとシステム・コマンド）も含んでいる。さらに、ハードウェア操作用ソフトウェアのうち後から追加されるタイプの「デバイス・ドライバ」もOSの一部であると把握されたい。デバイス・ドライバの一例は、LCD19など表示装置を駆動するためのディスプレイ・ドライバである。また、APM BIOSをコールするAPMドライバ（前述）もこの層に存在する。

【0078】AP（アプリケーション・プログラム）層

最上位層は、APである。ワープロ、データベース、表計算、通信などの各プログラムがAPに該当する。各APは、ユーザの意思に応じて、HDD21やFDD27などの補助記憶装置からメイン・メモリ15に適宜ロードされる。なお、APM（前述）に対応したAPは、APMドライバに自身を登録することによって、パワー・マネジメント動作を行う際に、APMドライバとの間で要求／肯定応答のルーチンを行うことが可能である。

【0079】なお、図2に示すような各ソフトウェアの階層的構造自体は、当業者には既に周知である。

【0080】C. パワー・マネジメントLSIの構成

図3には、パワー・マネジメントLSI（PM_LSI）50の内部構成を示している。該LSIチップ50は、本実施例に係るCPUのパワー・マネジメント動作を好適に実現するために、システム100内に実装されている。

【0081】図3に示すように、PM_LSI50は、バス・サイクル検出部50aと、状態判定部50bと、信号発生部50cとを含み、また、ローカル・バス16中のアドレス・バス、データ・バス、及びコントロール・バスをモニタするとともに、CPU11に対して制御信号STPCLK#（STPCLK#はプロセッサ・バス12中の制御信号の1つ：前述）を出力するようになっている。

【0082】C-1. バス・サイクル検出部50a：バス・サイクル検出部50aは、ローカル・バス上のバス・サイクルをモニタ（バス・スヌープ）して、特定のI/Oポート・アドレスへのアクセスがあった（すなわち特定のトラクザクションが発生した）ことを検出する

と、後続の状態判定部50bにその旨を通知するようになっている。

【0083】ローカル・バス16がPCIバスの場合、イニシエータ（すなわちコマンド送信側）とターゲット（すなわちコマンド受信側）の間でリード又はびライトの各トランザクションが行なわれているとき、バス16上には、図4及び図5の各々に示すようなタイミング・チャートで示されるリード・サイクル又はライト・サイクルが発生する。以下、各バス・サイクルについて簡単に説明しておく。

【0084】リード・サイクル：

(1) 図4に示すように、リード・サイクルの最初のPCIクロック・サイクルの期間は、アドレス／データ・バスはアドレス・フェーズにあり、イニシエータは、アクセス先となるI/Oポート・アドレスを送出し続けている。また、C/BE#(3:0)はコマンド・フェーズにあり、イニシエータは、リード・サイクルであることを示すために値"0010"bを送出し続けている。また、イニシエータは、バス・サイクルの開始を明示するべく、FRAME#をアクティブ（すなわちロー状態）にしている。

(2) 次のPCIクロック・サイクルで、イニシエータはFRAME#をインアクティブ（すなわちハイ状態）に戻す。また、イニシエータは、自己がレディ（Ready）状態になると、IRDY#をアクティブ（すなわちロー状態）にする。

(3) 次いで、アドレス／データ・バスはデータ不確定フェーズに入る。また、C/BE#(3:0)は、バイト・イネーブル・フェーズに入り、イニシエータは、I/Oレジスタ中の読み取りバイト位置を示すバイト・イネーブル値を送出し続ける。なお、バイト・イネーブル値はアクセス先となるI/Oポート・アドレスによって決まる。I/Oポート・アドレスとバイト・イネーブル値との関係を示したテーブル（一例）を表1に示しておく。

【0085】

【表1】

I/Oポート・アドレス	バイト・イネーブル値
3FBh	1110b
3F9h	1101b
3FAh	1011b
3FBh	0111b
3FCh	1110b
3FDh	1101b
3FEh	1011b
3BCh	1110b
3BDh	1101b
3BEh	1011b

【0086】(4) ターゲットは、送出されたI/Oポ

ート・アドレスをみて、自分がアクセス先であることを認識すると、DEVSEL#をアクティブ（すなわちロー状態）にして応答する。

(5) 次いで、ターゲットは、自己がレディ（Ready）状態になると、TRDY#をアクティブ（すなわちロー状態）にする。このとき、アドレス／データ・バスは既にデータ・フェーズに入っており、ターゲットは、所定のI/Oポート・アドレスのデータをアドレス／データ・バス上へ送出し始める。

10 (6) その後、IRDY#及びTRDY#がインアクティブ（すなわちハイ状態）に戻ることによって、バス・サイクルが終了する。なお、このリード・サイクルの間、CPU11（より具体的にはBIOS）になり代わってコマンドを発行するブリッジ回路14が「イニシエータ」となり、また、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御／状態レジスタを物理的に備えているI/Oコントローラ23が「ターゲット」となる。

【0087】ライト・サイクル：

20 (1) 図5に示すように、ライト・サイクルの最初のPCIクロック・サイクルの期間は、アドレス／データ・バスはアドレス・フェーズにあり、イニシエータは、アクセス先となるI/Oポート・アドレスを送出し続けている。また、C/BE#(3:0)はコマンド・フェーズにあり、イニシエータは、ライト・サイクルであることを示すために値"0011"bを送出し続けている。また、イニシエータは、バス・サイクルの開始を明示するべく、FRAME#をアクティブ（すなわちロー状態）にしている。

30 (2) 次のPCIクロック・サイクルで、イニシエータはFRAME#をインアクティブ（すなわちハイ状態）に戻す。また、イニシエータは、自己がレディ（Ready）状態になると、IRDY#をアクティブ（すなわちロー状態）にする。

(3) 次いで、アドレス／データ・バスはデータ・フェーズに入り、イニシエータは指定したI/Oポート・アドレスのデータを送出し続ける。また、C/BE#

40 (3:0)は、バイト・イネーブル・フェーズに入り、イニシエータは、I/Oレジスタ中の書き込みバイト位置を示すバイト・イネーブル値を送出し続ける。なお、バイト・イネーブル値はアクセス先となるI/Oポート・アドレスによって決まり、上表1と同じ内容である。

(4) ターゲットは、送出されたI/Oポート・アドレスをみて、自分がアクセス先であることを認識すると、DEVSEL#をアクティブ（すなわちロー状態）にして応答する。

(5) 次いで、ターゲットは、自己がレディ（Ready）状態になると、TRDY#をアクティブ（すなわちロー状態）にする。また、ターゲットは、アドレス／データ・バス上へ送出されているデータを受信して、所定

のI/Oポート・アドレスに書き込む。

(6) その後、IRDY#及びTRDY#がインアクティブ(すなわちハイ状態)に戻ることによって、バス・サイクルが終了する。なお、このライト・サイクルの間、CPU11(より具体的にはBIOS)になり代わってコマンドを発行するブリッジ回路14が「イニシエータ」となり、また、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御/状態レジスタを物理的に備えているI/Oコントローラ23が「ターゲット」となる。

【0088】図4及び図5に示すように、ローカル・バス16がPCIバスの場合、32ビット幅のアドレス/データ・バス全部と、コントロール・バスのうち0~3ビットのC/BE(コマンド/バス・イネーブル) #、FRAME #、IRDY(イニシエータ・レディ) #、TRDY(ターゲット・レディ) #、及びDEVSEL(デバイス・セレクト) #の動作によってバス・サイクルが特定される。したがって、バス・サイクル検出部50aは、これら各信号線だけをスヌープしておけば、所望のI/Oポート・アドレスへのアクセス・サイクルを検出することができるという訳である。(但し、PCIバスの規格ではアドレス・バスとデータ・バスは多重化されている。)

【0089】本実施例で言う、特定のI/Oポート・アドレスの一例は、1:シリアル転送のデータ・ポート、及び、2:シリアル転送の制御レジスタ及び状態レジスタの各々に割当てられたI/Oポートである。IBM PC/AT互換機では、シリアル転送のデータ・ポートには3F8h番地(又は2F8h番地、3E8h番地、2E8h番地のいずれか)が、その制御/状態レジスタには3F9h番地~3Ffh番地(又は2F9h番地乃至2Ffh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれか)が、それぞれ割当てられている。また、他の例は、1:パラレル転送のデータ・ポート、及び、2:パラレル転送の制御レジスタ及び状態レジスタの各々に割当てられたI/Oポートである。IBM PC/AT互換機では、パラレル転送のデータ・ポートには3BCh番地(又は378h番地、278h番地のいずれか)が、制御/状態レジスタには3BD番地乃至3BFh番地(又は379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれか)が、それぞれ割当てられている。シリアル・ポート24やパラレル・ポート25などの通信ポートを介してデータ転送を行うとき(若しくは通信用アプリケーションを起動している間)は、そのデータ・ポートや制御/状態レジスタへのアクセス(リード及びライトの双方を含む)が発生する(前述)。バス・サイクル検出部50aがこれら特定のI/Oポートにアクセスするバス・サイクルを検出すべき意義及びその効果については、後述の説明で明らかになるであろう。

【0090】なお、このような特定のI/Oポートへのアクセス・サイクルを検出するためのバス・サイクル検出部50aがハードウェア回路として実装可能である、ということは当業者であれば容易に理解できるであろう。

【0091】C-2. 状態判定部50b: 前述したように、状態判定部50bは、バス・サイクル検出部50aからの通知内容に応じて現在CPU11のパフォーマンスをどの程度まで低下させることが可能か(すなわちCPU11の許容され得る最低限のパフォーマンス)を判定するようになっている。

【0092】遷移条件: CPU11の状態を遷移させるべき事象は、以下の通りである。

【0093】1: 通信ポートのデータ・ポートへのアクセス

CPU11のアクティビティに影響を及ぼす事象の1つは、通信ポートのデータ・ポートへのアクセス・サイクルである。より具体的には、該アクセス・サイクルが所定時間(T1)以上発生しなかったという事象(遷移事象Tr1)と、該アクセス・サイクルが発生したという事象(遷移事象Tr3)である。ここでいう通信ポートとは、シリアル・ポート24やパラレル・ポート25のことである。IBM PC/AT互換機では、I/Oポートの3F8h番地(又は2F8h番地、3E8h番地、2E8h番地のいずれか)及び3BCh番地(又は378h番地、278h番地のいずれか)が各ポート24、25のデータ・ポートに割当てられている。データ・ポートへのアクセスは、通信ポートを介したデータ転送中に頻繁に発生する(前述)。

【0094】2: 通信ポートの制御/状態・ポートへのアクセス

また、CPU11のアクティビティに影響を及ぼす事象は、通信ポートの制御/状態レジスタへのアクセス・サイクルである。より具体的には、該アクセス・サイクルが所定時間(T2)以上発生しなかったという事象(遷移事象Tr2)と、該アクセス・サイクルが発生したという事象(遷移事象Tr4)である。ここでいう通信ポートとは、シリアル・ポート24やパラレル・ポート25のことである。IBM PC/AT互換機では、I/Oポートの3F9h番地乃至3Ffh番地(又は2F9h番地乃至2Ffh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれか)がシリアル・ポート24の制御/状態レジスタに割当てられ、また、I/Oポートの3BDh番地乃至3BFh番地(又は379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれか)がパラレル・ポート25の制御/状態レジスタに割当てられている。制御/状態レジスタへのアクセスは、通信ポートを介したデータ転送を行う前(すなわち通信用アプリケーションの起動時)や、データ転送後の終了処理の間に発生する(前述)。

【0095】状態判定部50bの動作特性：状態判定部50bは、上記した各遷移条件Tr1～Tr4を検知したことによって、CPU11の許容され得る最低限のパフォーマンスを判定するようになっている。ここで、遷移条件Tr3及びTr4は、バス・サイクル検出部50aからの通知によって検知できる（前述）。また、遷移条件Tr1及びTr2については、バス・サイクル検出部50aよりTr3又はTr4各々の通知を受けてからの経過時間を、自身の持つウォッチ・オフ・タイマ機能（図示しない）を用いて計時することによって検知可能である。なお、計時時間は、例えば本発明者らの経験則によれば、T1=1sec、T2=5sec程度が妥当と思われる。

【0096】図6には、状態判定部50bによる判定内容を、状態遷移図の形態で示している。以下、各状態及び状態を遷移する条件について説明する。

【0097】状態0：状態0とは、CPU11を高速クロック速度下でフル稼働させている状態であり、[特許請求の範囲]の項の語句に従えば「通常モード」に該当する。状態0において遷移条件Tr1が検知されると、状態1に遷移する。また、状態0において、バス・サイクル検出部50aから他のバス・サイクルが通知されても、状態0にリターンするだけである。

【0098】状態1：状態1とは、CPU11のパフォーマンスをある程度まで低下させることが可能な状態である。パフォーマンスをある程度低下させた状態とは、

[特許請求の範囲]の項の語句に従えば「節電モード」に該当する。節電モードは、CPU11のスロー・クロック・モードであってもよい。なお、パフォーマンス低下可能な程度とは、ターン・アラウンド・タイムやスルー・プットを劣化させない程度のことである。状態0において遷移条件Tr1が検知されると、状態1に遷移する（上述）。通信ポートのデータ・ポートへのアクセス・サイクルが所定時間T1（=1sec）以上発生しなかったことは、システム100はデータ転送期間中ではなく、通信ポート24、25に関するアクティビティは初期設定フェーズ又は終了処理フェーズの場合以下に過ぎないことを意味する。この場合、初期設定又は終了処理に要する程度までCPU11のパフォーマンスを低下させることが可能なので、状態1に遷移させる、という訳である。また、状態1において遷移条件Tr3が検出されると、状態0に復帰する。通信ポートのデータ・ポートへのアクセス・サイクルが発生したということは、システム100がデータ転送フェーズにあることを意味する。データ転送期間中は、転送データを遅滞なく処理するためにはCPU11をフル稼働させなければならないので、パフォーマンス低下を禁止すべく状態0に復帰させる、という訳である。また、状態1において遷移条件Tr2が検出されると、さらに状態2に遷移する。また、状態1において、バス・サイクル検出部50aから

他のバス・サイクルが通知されても、状態1にリターンするだけである。

【0099】状態2：状態2とは、CPU11の動作を完全に停止させることが可能な状態である。CPU11の完全停止状態とは、[特許請求の範囲]の項の語句に従えば「停止モード」に該当する。停止モードは、クロック制御回路60を活動化させて、CPU11への入力クロックを遮断したストップ・クロック・モードであってもよい。状態1において遷移条件Tr2が検出されると、さらに状態2に遷移する（上述）。通信ポートの制御／状態レジスタへのアクセス・サイクルが所定時間T2（=5sec）以上発生しなかったことは、通信ポート24、25に関するアクティビティは全くないことを意味する（何故ならば、制御値の設定・解除や状態リードがなされていない）。また、CPU11を完全停止させた後に通常モードに復帰するには遅延時間（1msec程度）を要するが、初期設定フェーズ（状態1）を経てからでないとデータ転送フェーズ（状態0）に入らない。そこで、遷移条件Tr2を満たせばCPU11の動作を完全に停止させることが可能、という訳である。また、状態2において遷移条件Tr4が検出されると、状態1に復帰する。通信ポートの制御／状態レジスタへのアクセス・サイクルが再び発生したということは、システム100がデータ転送のための初期設定フェーズに入ったことを意味する。そこで、初期設定に必要な程度のパフォーマンスまでCPU11を再稼働させるべく、状態1に復帰させる、という訳である。また、状態2において、バス・サイクル検出部50aから他のバス・サイクルが通知されても、状態2にリターンするだけである。

【0100】状態判定部50bがこれら特定のI/Oポートにアクセスに応答して図6のような状態判定を行うべき意義及びその効果については、後述の説明で明らかになるであろう。

【0101】なお、図6に示すような状態遷移図に基づいて駆動する状態判定部50bがハードウェア回路として実装可能である、ということは当業者であれば容易に理解できるであろう。

【0102】C-3. 信号発生部50c：信号発生部50cは、所定間隔でSTPCLK#のロー／ハイ・レベルをスロットリングさせることによって、CPU11の動作クロックを間引いて、スロー・クロック・モードを実現するためのものである。

【0103】CPU11の動作クロックを間引く程度は、通信ポート24、25の初期設定や終了処理を支障なく行え、且つターン・アラウンド・タイムやスルー・プットを劣化させない程度である。例えば133MHzにて駆動するCPUであれば、4分の1あるいは8分の1の動作クロックを間引くことができる。このことは、スロー・クロック・モードにおけるCPUの消費電力を

通常モードの約4分の1又は8分の1まで低減できることに等しい。

【0104】APMドライバは、CPU11のアイドル状態が検出すると、APM BIOSをコールする(前述)。本実施例のAPM BIOSは、信号発生部50cをハードウェア操作できるようになっている。すなわち、APM BIOSは、自身がコールされたときに状態判定部50bが状態1にあれば、信号発生部50cを活動化してCPU11をスロー・クロック・モードにする。この期間は、通信ポート24、25のアクティビティという観点からみれば、CPU11のパフォーマンス低下は支障ないからである。

【0105】D. CPUチップ11のパワー・マネージメント・オペレーション

前項までで、本発明を具現するコンピュータ・システムのハードウェア及びソフトウェア構成を説明してきた。本項では、図7を参照しながら、該システム100の動作とともに本発明の作用について説明することにする。

【0106】通信アプリケーション起動期間の各フェーズ：図7(a)には、通信アプリケーション起動中のシステム100の状態をさらに細分化して示している。同図に示すように、通信アプリケーション起動期間は、初期設定フェーズ、データ転送フェーズ、終了処理フェーズの各フェーズに分けることができる。

【0107】初期設定フェーズでは、ポーレート、IRQレベル、FIFOなどの制御値を通信ポート24又は25の制御レジスタに書き込んだり、状態レジスタにアクセスして通信ポート24又は25の状態確認などのトランザクションが行われる。このため、このフェーズ期間中は、制御/状態レジスタに割当てられているI/Oポート(シリアル転送ならば3F9h番地～3FFh番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかであり、パラレル転送ならば3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかである。)へのアクセスが比較的頻繁に発生する。また、初期設定フェーズには、データ転送が実際に開始されるまでの待ち時間も含まれる。

【0108】データ転送フェーズでは、転送データの出入力が実際に行われ、このため、このフェーズ期間中は、通信ポート24又は25のデータ・ポート(シリアル転送ならば3F8h番地、2F8h番地、3E8h番地、2E8h番地のいずれかであり、パラレル転送ならば3BCh番地、378h番地、278h番地のいずれかである。)へのアクセスが頻繁に発生する。

【0109】終了処理フェーズでは、初期設定時に設定しておいたIRQレベルの解除や通信ポート24又は25の状態確認などのトランザクションが行われる。このため、このフェーズ期間中は、制御/状態レジスタに割

当てられているI/Oポート(シリアル転送ならば3F9h番地～3FFh番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかであり、パラレル転送ならば3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかである。)へのアクセスが比較的頻繁に発生する。

【0110】なお、本発明者らの経験則によれば、

(1) 通信ポート24又は25のデータ・ポートへのアクセスが所定時間 T_1 (=1sec)以上発生しなかったことはシステム100がデータ転送フェーズにないことを示す。

(2) 通信ポート24又は25の制御/状態レジスタへのアクセスが所定時間 T_2 (=5sec)以上発生しなかったことはシステム100が終了処理を済ませているか又は未だ初期設定フェーズに入っていないことを示す。

(3) 初期設定フェーズを経ずにいきなりデータ転送フェーズに突入することはない。ということが判っている。

【0111】各フェーズにおけるCPU11の状態：図7(b)には、各フェーズにおける状態判定部50bの判定結果(状態)を示している。

【0112】通信ポート24又は25に関連するいずれのI/Oポートにもアクセスがない状態では、通信ポート24又は25のアクティビティという観点からは、CPU11を完全停止させることが許される。このため、状態判定部50bは、CPU11のストップ・クロックを許可する旨を明示するべく、状態2にある。

【0113】次いで、初期設定フェーズに突入すると、通信ポート24又は25の制御/状態レジスタへのアクセス・サイクル(すなわち遷移条件 Tr_4)が発生する。この期間中は、制御値の設定や状態確認を支障なく実行するためには、CPU11は少なくともスロー・クロック・モード以上のパフォーマンスで稼働しなければならない。このため、状態判定部50bは、CPU11のスロー・クロックを許可するがストップ・クロックを禁止する、ということを示明するべく、状態1に遷移する。初期設定フェーズは、データ転送フェーズへの突入が予想される期間でもある。

【0114】次いで、データ転送フェーズに突入すると、通信ポート24又は25のデータ・ポートへのアクセス・サイクル(すなわち遷移条件 Tr_3)が発生する。この期間中は、比較的高速に転送されるデータを遅滞なく(すなわち喪失することなく)処理するためには、CPU11は通常モード下でフル稼働しなければならない。このため、状態判定部50bは、CPU11のパフォーマンス低下を禁止することを明示するべく、状態0に遷移する。状態1すなわちスロー・クロック・モードからであれば、CPU11は殆ど遅延時間なしに通

常モードに復帰することができる。

【0115】次いで、終了処理フェーズに突入すると、通信ポート24又は25のデータ・ポートへのアクセス・サイクルが所定時間T1以上発生しなかったことにより、遷移条件Tr1が発生する。この期間中は、IRQレベルの解除や状態確認を実行するだけであり、CPU11はフル稼働する必要はなく、スロー・クロック・モードでよい。このため、状態判定部50bは、CPU11のスロー・クロックを許可することを明示するべく、状態1に再び遷移する。

【0116】次いで、終了処理フェーズを抜けると、通信ポート24又は25の制御/状態レジスタへのアクセス・サイクルが所定時間T2以上発生しなかったことにより、遷移条件Tr2が発生する。この期間中は、通信ポート24又は25のアクティビティという観点からは、CPU11を完全停止させることが許される。このため、状態判定部50bは、CPU11のストップ・クロックを許可する旨を明示するべく、状態2に再び遷移する。

【0117】CPU11のアクティビティ：図7(c)には、説明の便宜上、CPU11のアクティビティを例示している。なお、CPU11のアクティビティは、スケジューラの待ち行列中に有効タスクが存在するか否かをAPMドライバが検出することによってなされる（前述）。同図では、通信アプリケーション起動前、初期設定フェーズ、データ転送フェーズ、終了処理フェーズ、通信アプリケーション終了後の各期間中に、それぞれCPUアイドルI1、I2、I3、I4、I5が検出されたことを示している。また、図7(d)には、この場合にCPUのアクティビティが検出された場合に実行されるCPUのパワー・マネージメント・オペレーションを示している。

【0118】CPUアイドルI1が検出されたとき、状態判定部50bは状態2にあり、CPU11の完全停止が許可されている。したがって、I1を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を活動化することにより、CPU11をストップ・クロック・モードにする。

【0119】また、CPUアイドルI2が検出されたとき、状態判定部50bは状態1にあり、CPU11の完全停止は禁止だがパフォーマンス低下は許可されている。したがって、I2を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を非活動化するとともに、信号発生部50bを活動化することにより、CPU11をスロー・クロック・モードにする。このときシステムは既に通信アプリケーションを起動中であるが、本発明によればCPU11をスロー・クロックにすることができる、という点に留意されたい。

【0120】また、CPUアイドルI3が検出されたとき、状態判定部50bは状態2にあり、CPU11のパフォーマンス低下すら禁止されている。したがって、I3を検出したAPMドライバはAPM BIOSをコールすることができず、CPU11は通常モードを維持する。

【0121】また、CPUアイドルI4が検出されたとき、状態判定部50bは状態1にあり、CPU11の完全停止は禁止だがパフォーマンス低下は許可されている。したがって、I4を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、信号発生部50bを活動化することにより、CPU11をスロー・クロック・モードにする。このときシステムは未だ通信アプリケーションを起動中であるが、本発明によればCPU11をスロー・クロックにすることができる、という点に留意されたい。

【0122】CPUアイドルI5が検出されたとき、状態判定部50bは状態2にあり、CPU11の完全停止が許可されている。したがって、I5を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を活動化することにより、CPU11をストップ・クロック・モードにする。

【0123】E. 追補

以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。例えばファクシミリ機器、移動無線端末やコードレス電話機、電子手帳、ビデオ・カメラなどの各種コードレス機器、ワードプロセッサ等のような、各種電気・電子機器に対しても、本発明を適用することができる。また、本実施例中では、シリアル転送及びパラレル転送時におけるCPUのパワー・マネージメントについて言及しているが、他の機器との通信がこれら以外の形態による場合（例えば赤外線（IR）通信のような無線通信を行っている場合）にも、本発明を適用することができる。

【0124】要するに、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参酌すべきである。

【0125】なお、本明細書中で記述されたI/Oポート・アドレスやIRQレベルの予約内容は、IBM PC/ATシリーズの互換機の標準に基づくものである。

【0126】

【発明の効果】以上詳記したように、本発明によれば、データ処理の中核を担うプロセッサ（CPU）の動作周波数を低下若しくは完全停止させることによって消費電力を低減させるパワー・マネージメント機能を有するタイプの、優れた情報処理システムを提供することができ

る。

【0127】また、本発明によれば、パワー・マネジメント効果とシステムの保安全性という双方の要求を満たしつつ、CPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することができる。

【0128】また、本発明によれば、CPUの稼働状態をより的確に把握することによって、適切なタイミングでCPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することができる。

【0129】また、本発明によれば、通信ポート（シリアル・ポートやパラレル・ポート）を介して他の独立した機器（他のPC）との間でデータ転送を行っている間（あるいは通信アプリケーションを起動中）、適切なタイミングでCPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の実施に供されるパーソナル・コンピュータ（PC）100のハードウェア構成を示した図である。

【図2】図2は、本発明の実施に供されるPC100上で実行可能なソフトウェアの階層的構成を概略的に示した図である。

【図3】図3は、本発明の実施に供されるパワー・マネジメントLSIの内部構成を示した図である。

【図4】図4は、PCIバス上で発生するリード・サイクルのタイミング・チャートを示した図である。

【図5】図5は、PCIバス上で発生するライト・サイクルのタイミング・チャートを示した図である。

*【図6】図6は、状態判定部50bの動作特性を表現した状態遷移図である。

【図7】図7は、通信ポートを介して他の機器とデータ転送を行うときのシステム100の様子を示した図である。より具体的には、図7(a)は通信アプリケーション起動中の各フェーズを示す図、図7(b)は各フェーズにおける状態判定部50bの判定結果（状態）を示す図、図7(c)はCPUのアクティビティ（待ち行列中の有効タスクの存在）を例示した図、図7(d)は図7(c)に示すCPUのアクティビティ下で現実に行われるCPUのパフォーマンス（動作モード）を示す図である。

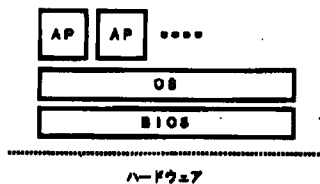
【図8】図8は、パワー・マネジメント機能を内蔵したCPUチップ11の内部構成を概略的に示した図である。

【符号の説明】

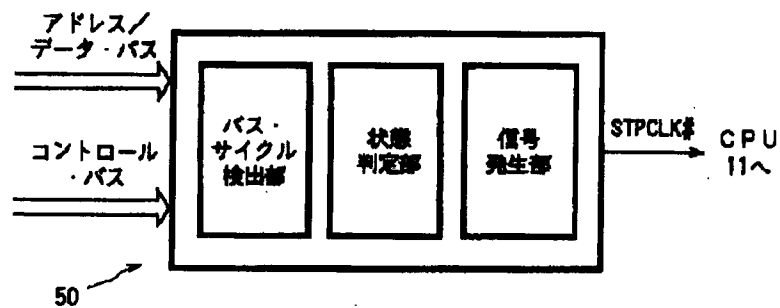
11…CPU、12…プロセッサ・バス、13…L2キャッシュ、14…ブリッジ回路、15…メイン・メモリ、16…ローカル・バス、17…ビデオ・コントローラ、18…VRAM、19…液晶表示ディスプレイ（LCD）、20…ブリッジ回路、21…ハード・ディスク・ドライブ（HDD）、22…システム・バス、23…I/Oコントローラ、24…シリアル・ポート、25…パラレル・ポート、26…フロッピー・ディスク・コントローラ（FDC）、27…フロッピー・ディスク・ドライブ（FDD）、28…キーボード/マウス・コントローラ（KMC）、29…キーボード、30…マウス、31…オーディオ・コントローラ、32…アンプ、33…スピーカ、34…ROM、40…発振器（OSC）、50…パワー・マネジメントLSI（PM_LSI）、100…パーソナル・コンピュータ（PC）。

*

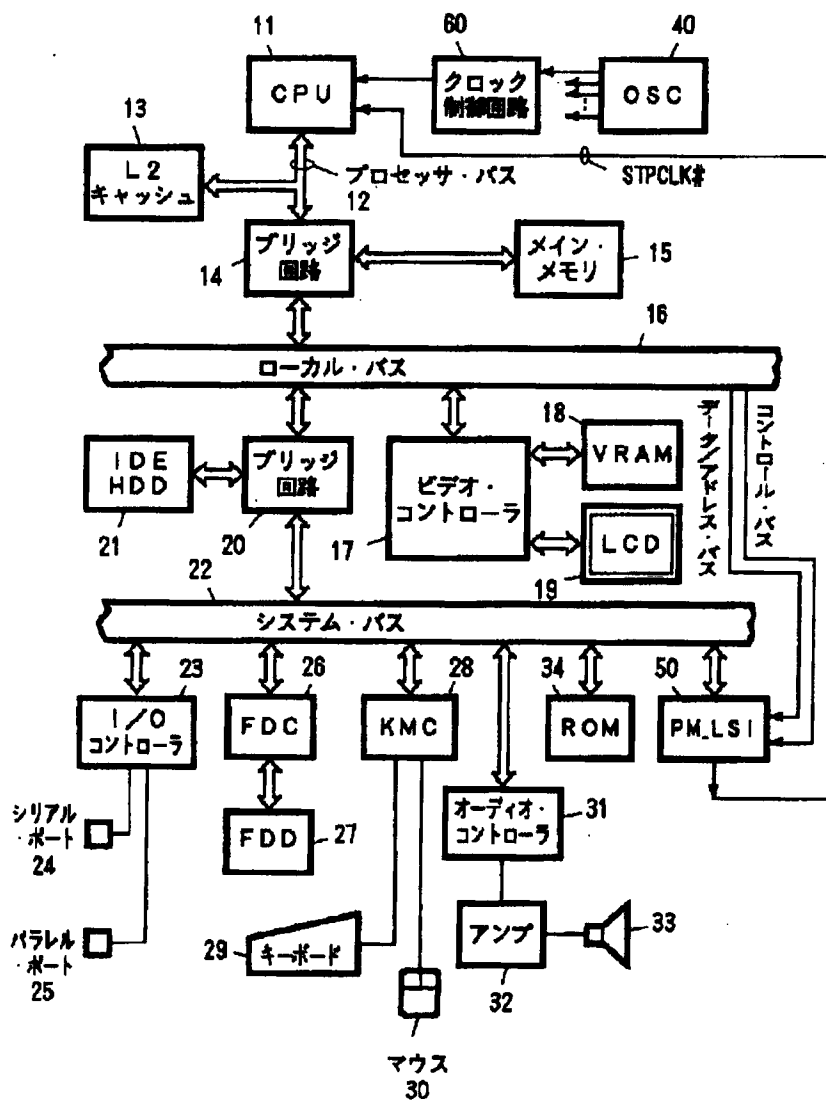
【図2】



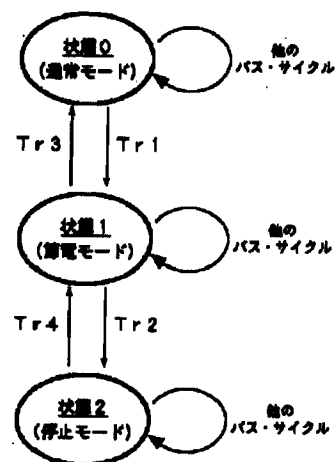
【図3】



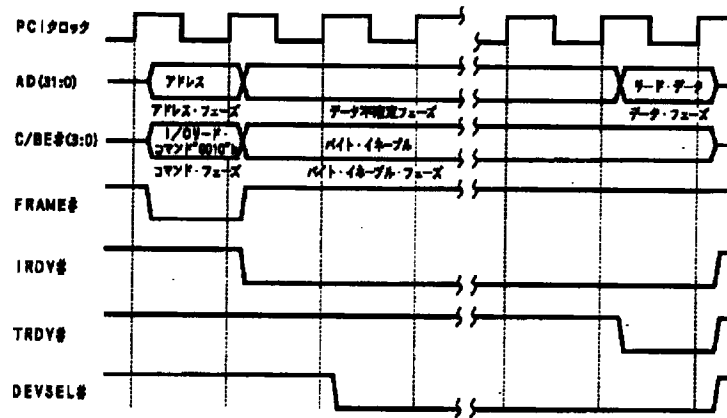
【図1】



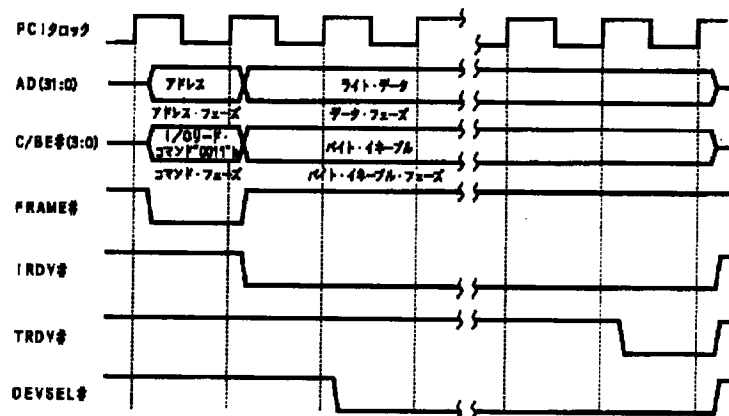
【図6】



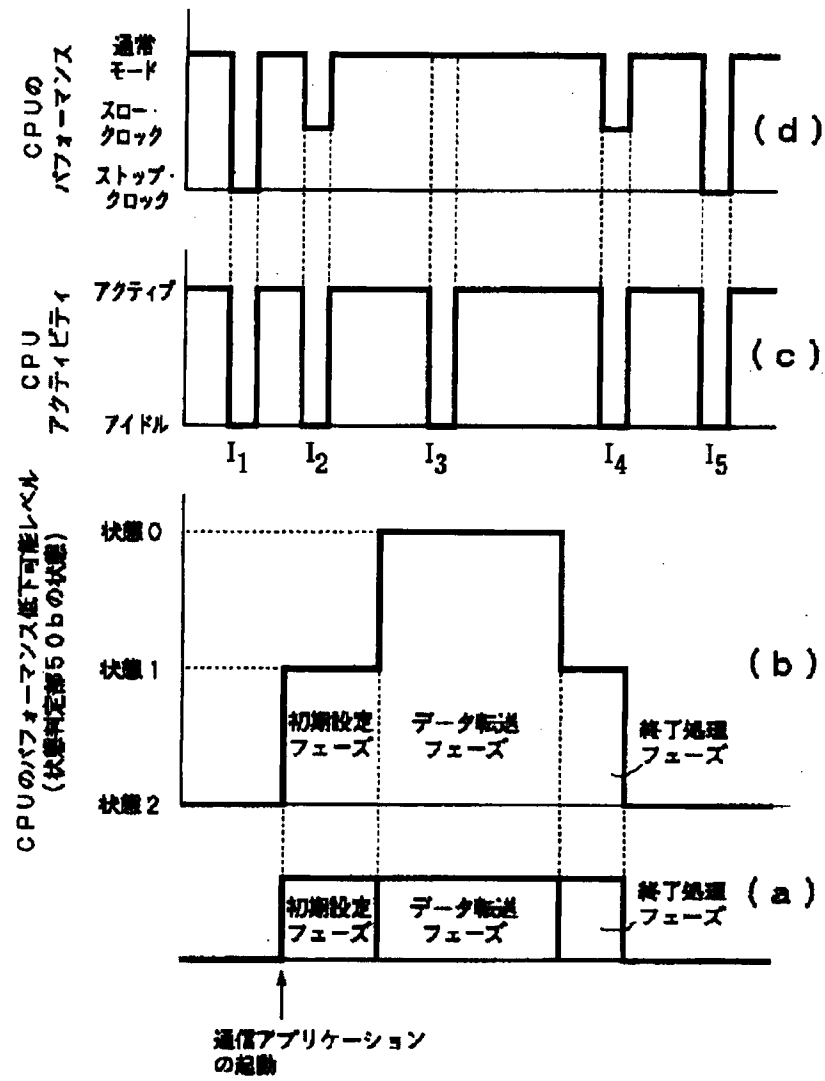
【図4】



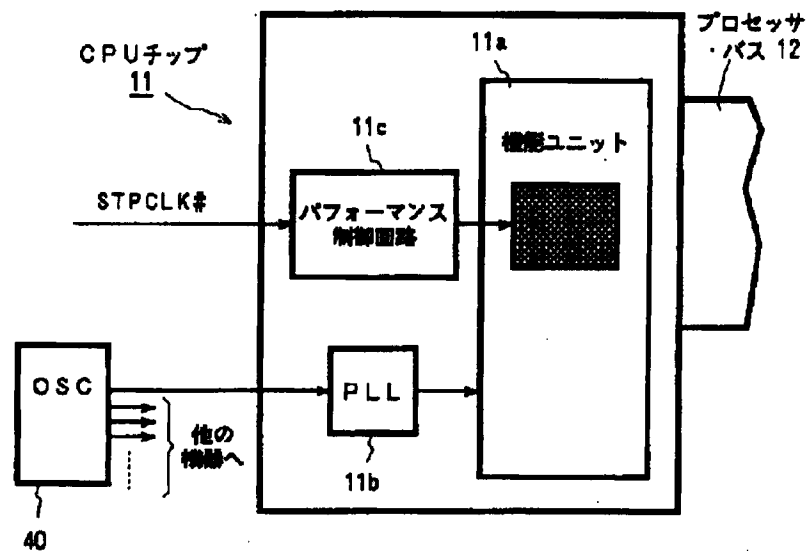
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 河野 誠一

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 中野 正剛

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 乾 尚

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内